



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05029363

(43)Date of publication of application: 05.02.1993

(51)Int.Cl.

H01L 21/52

H01L 21/60

H05K 3/34

(21)Application number: 03181171

(71)Applicant:

SONY CORP

(22)Date of filing: 22.07.1991

(72)Inventor:

SOGO KEIKO

MATSUNAMI KEISUKE

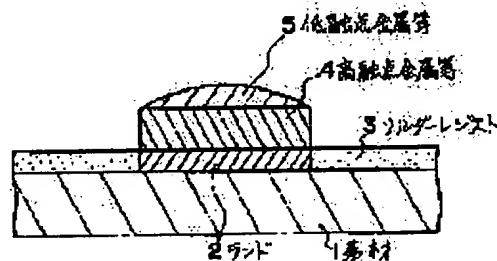
NAKAMURA TOSHIFUMI

(54) WIRING BOARD

(57)Abstract:

PURPOSE: To provide high-density packaging and multifunction in a wiring board, by providing a height enough for a connecting part between an electric component, such as a semiconductor chip, and the wiring board without generating a short circuit.

CONSTITUTION: With a wiring pattern, a conductive layer and a land 2 are formed on an insulating substrate 1. The surface other than a place of the land 2 is coated with a soldering resist 3, and a refractory metal 4 is selectively formed on the land 2 by using a deposition method, such as plating, or a stud bump method and so on. Then, a fusible metal 5 is formed on the refractory metal 4 by using a deposition, dipping or stud bump method and so on.



本実施例の要部を示す横断面図

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-29363

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/52	C	9055-4M		
21/60	3 1 1 S	6918-4M		
H 0 5 K 3/34	H	9154-4E		

審査請求 未請求 請求項の数 2(全 6 頁)

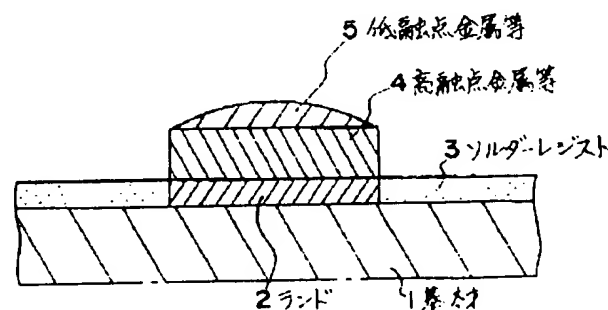
(21)出願番号	特願平3-181171	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成3年(1991)7月22日	(72)発明者	十河 啓子 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72)発明者	松波 敬祐 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72)発明者	中村 利文 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 松隈 秀盛

(54)【発明の名称】 配線基板

(57)【要約】

【目的】 電子部品例えば半導体チップと配線基板の接続部分における高さを、短絡現象を生じさせることなく十分に確保できるようにして、配線基板の高密度実装、多機能化を促進させる。

【構成】 絶縁性基材1上に導体層をパターンニングして配線パターンと共にランド2を形成した後、ランド2以外の部分にソルダーレジスト3を被覆・形成し、このランド2上にめっき等の析出法やスタッドバンプ等を用いて選択的に高融点金属等4を形成する。そして、この高融点金属等4上にめっき等の析出法やD i P、スタッドバンプ等を用いて低融点金属等5を形成して構成する。



本実施例の要部を示す構成図

【特許請求の範囲】

【請求項1】 表面に、電子部品が実装されるランドが形成された配線基板において、
上記ランド上に、互いに異なる融点をもつ2種の金属、あるいは合金が2層に形成されていることを特徴とする配線基板。

【請求項2】 上記ランド上に、高融点の金属又はその合金が形成され、該高融点の金属又はその合金上に低融点の金属又はその合金が積層されていることを特徴とする請求項1記載の配線基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表面に、半導体チップ等の電子部品が実装される導体層により形成されたランドを有する配線基板に関する。

【0002】

【従来の技術】 これまでの半導体チップの接合方式としては、半導体チップを樹脂パッケージ内に封止して構成したICをプリント配線基板に接続するという方法が一般的であった。しかし、プリント配線基板の配線パターンがファインピッチ化してくると、上記方法では、実装密度が上がらないという問題がある。そこで、現在では、直接半導体チップをプリント配線基板に接続することにより、実装密度を向上させるようにしている。

【0003】 半導体チップを直接配線基板に接合させる方式としては、金線を使用したワイヤボンディング法や配線基板あるいは半導体チップに bumps を形成してこの bumps を介して半導体チップを接続する方法（bump 法）がある。前者のワイヤボンディング法は、後者の bumps 法に比べて作業性及び実装密度が劣ることから、今日では、後者の bumps 法が実装密度を上げる技術として注目されている。

【0004】 この bumps 法は、具体的には、半導体チップのアクティブ面（表面）を下向きにして配線基板と向い合わせ、更に双方の接続点を bumps を介して電気的に接続させるというものである（フェースダウン接合方式）。

【0005】 従来の配線基板は、図5に示すように、絶縁性基材11上に形成した導体層によるランド12上に例えば厚み3～5μm程度の共晶はんだ13を形成するようにしている。尚、14はソルダーレジストである。

【0006】 そして、bumps 付き半導体チップCを配線基板上に実装する場合は、図6に示すように、配線基板のランド12上に半導体チップCを配置した後、共晶はんだ13（図6では図示せず）が溶融する温度、例えば約300℃にてリフロー処理することにより、共晶はんだ13を溶融させて半導体チップCの bumps 15を配線基板上のランド12に電気的に接続するようにしている。

【0007】

【発明が解決しようとする課題】 近時、半導体チップCにおいては、その高密度実装、多機能化につれて、そのサイズが大きくなり、それに伴って、配線基板上に形成されるランド12間の狭ピッチ化が進められている。

【0008】 半導体チップCのサイズが大きくなると、配線基板と半導体チップCの熱膨張係数の違いが大きくなり、影響するようになり、高温～低温へという温度サイクルにおいて、配線基板と半導体チップCの熱による伸縮の不整合が無視できなくなってきた。

10 【0009】 即ち、熱による伸びについてみると、図7に示すように、熱による半導体チップCの伸び率に対して配線基板の熱による伸び率が非常に大きく、その熱応力（歪）が半導体チップCと配線基板との接続部分である bumps 15に集中し、その接続部分において断線が生じ易くなる。

20 【0010】 そこで、半導体チップCと配線基板の熱による伸縮の違いによって生じる熱応力（歪）を緩和するためには、接続部分を高くすることが有効である。即ち、接続部分を高くすることによって、接続部分に柔軟性をもたせ、これにより上記熱応力（歪）を緩和させる。

【0011】 ところで、従来の配線基板においては、ランド12上に共晶はんだ13を介して半導体チップCの bumps 15を接続するようにしているため、接続部分の高さは、半導体チップCの bumps 15のみに依存していることになる。従って、接続部分の高さを熱応力（歪）を吸収できるほどに高くするためには、図8Aに示すように、ランド12上に形成される共晶はんだ13の厚みtを厚くするしかない。

30 【0012】 しかしながら、単に共晶はんだ13の厚みtを厚くした場合、その後のリフロー処理によって共晶はんだ13を溶融させた際、その溶融した共晶はんだ13が横方向に広がり、隣接する bumps 15あるいはランド12とブリッジ（短絡）16を形成するという不都合が生じる。これは、特にランド12間が狭ピッチ化された配線基板において多発し、該配線基板の信頼性（はんだ付けに関する信頼性）を著しく劣化させるという問題がある。

40 【0013】 従って、従来の配線基板においては、サイズの大きい半導体チップCの実装を行うことができず、また、その高密度実装、多機能化には自ずから限界があった。

【0014】 本発明は、このような課題に鑑み成されたもので、その目的とするところは、電子部品例えば半導体チップと配線基板の接続部分における高さを、短絡現象を生じさせることなく十分に確保でき、高密度実装、多機能化を促進させることができる配線基板を提供することにある。

【0015】

50 【課題を解決するための手段】 本発明は、表面に、電子

部品Cが実装されるランド2が形成された配線基板において、ランド2上に、互いに異なる融点をもつ2種の金属、あるいは合金を2層に形成して構成する。

【0016】例えば、ランド2上に、高融点の金属又はその合金4を形成し、該高融点の金属又はその合金4上に低融点の金属又はその合金5を積層して構成する。

【0017】

【作用】上述の本発明の構成によれば、電子部品Cと配線基板の接続部分に互いに異なる融点をもつ2種の金属あるいは合金を形成、特に配線基板のランド2上に、高融点の金属又はその合金4を形成し、該高融点の金属又はその合金4上に低融点の金属又はその合金5を積層するようにしたので、電子部品Cを配線基板に実装する際に行われるリフロー処理において、上層の低融点の金属又はその合金4のみが熔融することとなる。

【0018】そのため、この接続部分の高さを大きくしても、熔融した低融点の金属又はその合金5の横方向への広がりとはほとんど行われない。即ち、接続部分間を短絡させるブリッジは生じない。従って、接続部分の高さを大きくすることが可能となり、配線基板と電子部品Cの熱膨張係数の違いにより生じる熱応力(歪)を吸収することができ、電子部品Cを実装した配線基板の信頼性(はんだ付けの信頼性等)を向上させることができる。

【0019】

【実施例】以下、図1～図4を参照しながら本発明の実施例を説明する。図1は、本実施例に係る配線基板の要部(電子部品の接続部分)を示す構成図である。

【0020】この配線基板は、絶縁性基材1上に導体層をパターンニングして形成された配線パターン(図示せず)を有し、特に、チップ部品実装部分において、上記配線パターンから延びる多数のランド(図示の例ではランドを代表的に1つで示す)2が同じく導体層にて形成されている。尚、このランド2以外の部分にはソルダーレジスト3が被覆されている。

【0021】しかして、本例においては、ランド2上に高融点の金属又はその合金(以下、単に高融点金属等と記す)4と低融点の金属又はその合金(以下、単に低融点金属等と記す)5が順に積層されて構成されている。

【0022】次に、上記本例に係る配線基板の形成方法を図3に基いて説明する。尚、図1と対応するものについては同符号を記す。

【0023】まず、図3Aに示すように、絶縁性基材1上に導体層をパターンニングして配線パターンと共にランド2を形成した後、ランド2以外の部分にソルダーレジスト3を被覆・形成する。本例ではランド2の幅dを75～100μmに設定し、ランド2間のピッチを約150μmの狭ピッチに設定してある。

【0024】次に、図3Bに示すように、ランド2上にめっき等の析出法やスタッドバンプ等を用いて選択的に高融点金属等4を形成する。この高融点金属等4として

は、例えばSu5%-Pb95%はんだやAu、Cu、Ag入りはんだ等を用いることができる。

【0025】次に、図3Cに示すように、上記高融点金属等4上にめっき等の析出法やDiP、スタッドバンプ等を用いて低融点金属等5を形成して本例に係る配線基板を得る。この低融点金属等5としては、共晶はんだ、Bi入りはんだ、In-Bi系合金などを用いることができる。

【0026】ここで、ランド2上に形成される高融点金属4及び低融点金属等5の形状としては、図1及び図3で示す形状のほか、図2Aに示すように、スタッドバンプを2段重ねとした形状や、図2Bに示すように、析出法で形成した場合に生じる山形状のものがある。

【0027】次に、本例に係る配線基板のランド2上にバンプ付き半導体チップCを実装する場合について図4を参照しながら説明する。

【0028】まず、図4Aに示すように、半導体チップCを、配線基板に対して位置決めしながら配線基板の半導体チップCの接続部分上に配置する。

【0029】次に、図4Bに示すように、リフロー処理して上層の低融点金属等5を熔融させながら半導体チップCをランド2上(正確には熔融された低融点金属等5上)に載置する。このとき、配線基板のランド2と半導体チップのバンプ6とが高融点金属等4及び低融点金属等5を介して電気的に接続される。

【0030】ここで、例えば、高融点金属等4にSu5%-Pb95%はんだ(熔融温度域300～315℃)を用い、低融点金属等5にSu60%-Pb40%の共晶はんだ(熔融温度域183～189℃)を用いると、200℃程度のリフロー処理により、図4Bに示すように、低融点金属等5の横方向への広がりとは生じずに、半導体チップCのバンプ6と配線基板のランド2とを強固に接続することができる。特に、この場合、低融点金属等5と高融点金属等4として夫々Su-Pb系はんだを用いたので、界面の接合性が良好となり、はんだ付けに関する信頼性が大幅に向上する。

【0031】上述のように、本例によれば、配線基板のランド2上に、高融点金属等4を形成し、該高融点金属4上に低融点金属等5を積層するようにしたので、半導体チップCを配線基板に実装する際に行われるリフロー処理において、上層の低融点金属等4のみが熔融することとなる。

【0032】そのため、高融点金属等4及び低融点金属等5の厚みを厚くして、接続部分の高さを大きくしたとしても、熔融した低融点金属等5の横方向への広がりとはほとんど生じない。即ち、ランド2間を短絡させるブリッジは生じない。従って、接続部分の高さを大きくすることが可能となり、配線基板と半導体チップCの熱膨張係数の違いにより生じる熱応力(歪)を吸収することができ、半導体チップCを実装した配線基板の信頼性(は

んだ付けの信頼性等)を向上させることができる。このことは、配線基板の高密度実装、多機能化を促進することにつながる。

【0033】

【発明の効果】本発明に係る配線基板によれば、電子部品例えば半導体チップと配線基板の接続部分における高さを、短絡現象を生じさせることなく十分に確保できる。これにより、配線基板の高密度実装、多機能化を促進させることができる。

【図面の簡単な説明】

【図1】本実施例に係る配線基板の要部（電子部品の接続部分）を示す構成図。

【図2】本実施例に係る高融点金属等及び低融点金属等の形状を示す説明図。

【図3】本実施例に係る配線基板の形成方法を示す工程図。

【図4】本実施例での半導体チップの実装過程を示す説

明図。

【図5】従来例に係る配線基板の要部（電子部品の接続部分）を示す構成図。

【図6】従来例での半導体チップの実装過程を示す説明図。

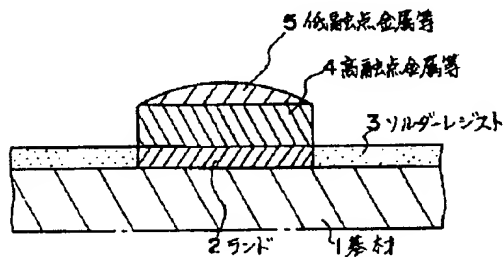
【図7】半導体チップと配線基板の熱による伸び率の違いを示す説明図。

【図8】従来例に係る配線基板の不都合点を示す説明図。

10 【符号の説明】

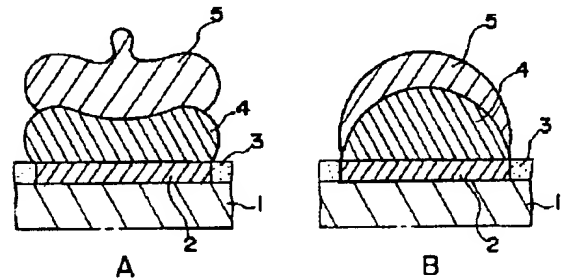
- 1 絶縁性基材
- 2 ランド
- 3 ソルダーレジスト
- 4 高融点金属等
- 5 低融点金属等
- 6 バンプ
- C 半導体チップ

【図1】



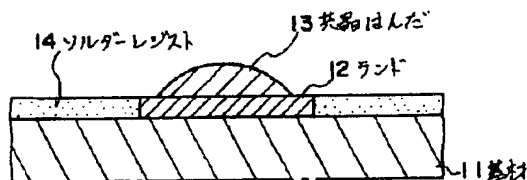
本実施例の要部を示す構成図

【図2】



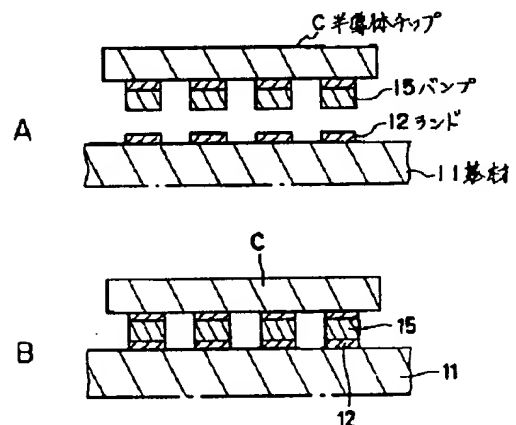
高融点金属等及び低融点金属等の形状を示す説明図

【図5】



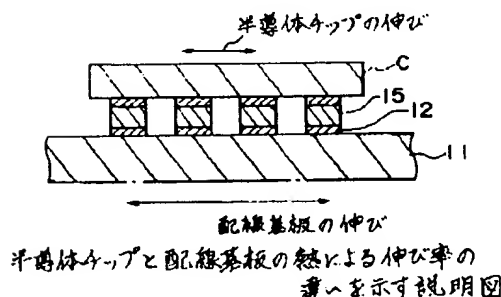
従来例の要部を示す構成図

【図6】



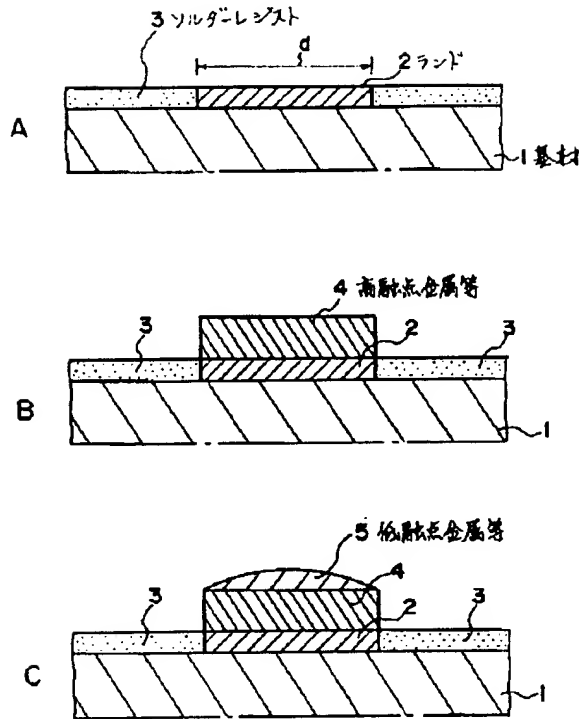
半導体チップの実装過程を示す説明図

【図7】



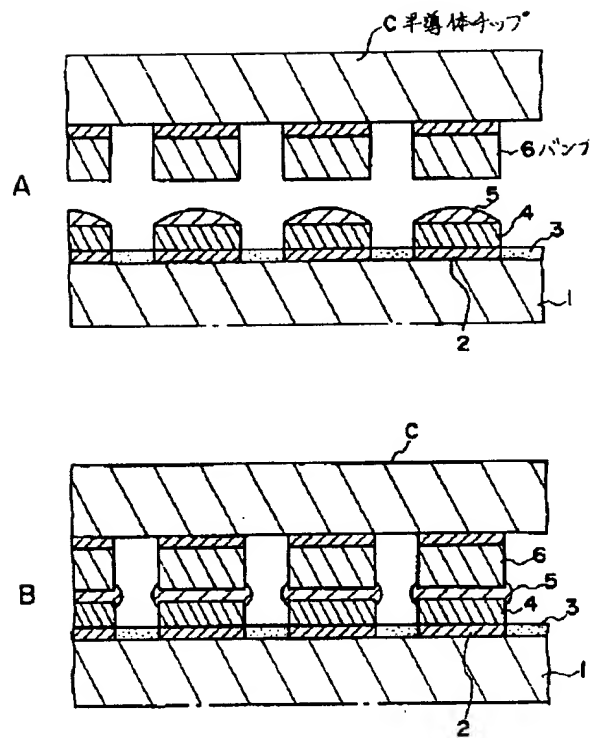
半導体チップと配線基板の熱による伸び率の違いを示す説明図

【図3】



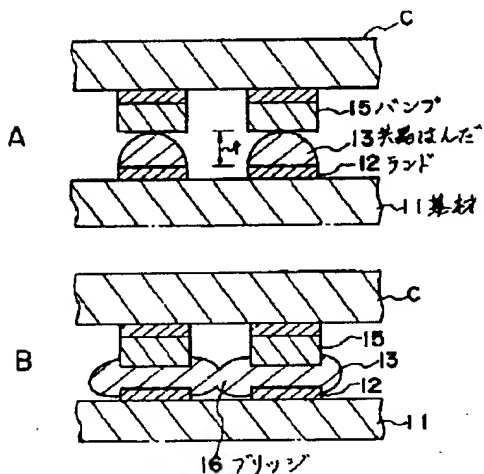
本実施例の配線基板の形成方法を示す工程図

【図4】



半導体チップの実装過程を示す説明図

【図8】



従来例の不都合点を示す説明図

【手続補正書】

【提出日】平成3年9月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】そして、 bumps 付き半導体チップCを配線基板上に実装する場合は、図6に示すように、配線基板のランド12上に半導体チップCを配置した後、其品はんだ13（図6では図示せず）が溶融する温度、例えば

約230℃にてリフロー処理することにより、共晶はんだ13を溶融させて半導体チップCの bumps 15を配線基板上のランド12に電氣的に接続するようにしている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】ここで、例えば、高融点金属等4にSu5

%-Pb95%はんだ（溶融温度域300～315℃）を用い、低融点金属等5にSu60%-Pb40%の共晶はんだ（溶融温度域183～189℃）を用いると、230℃程度のリフロー処理により、図4Bに示すように、低融点金属等5の横方向への広がりは生じずに、半導体チップCの bumps 6と配線基板のランド2とを強固に接続することができる。特に、この場合、低融点金属等5と高融点金属等4として夫々Su-Pb系はんだを用いたので、界面の接合性が良好となり、はんだ付けに関する信頼性が大幅に向上する。